

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-090514

(43)Date of publication of application : 24.03.1992

(51)Int.Cl.

G02F 1/136  
H01L 21/3205  
H01L 21/90  
H01L 27/12  
H01L 29/784

(21)Application number : 02-205392

(71)Applicant : SEMICONDUCTOR ENERGY  
LAB CO LTD

(22)Date of filing : 02.08.1990

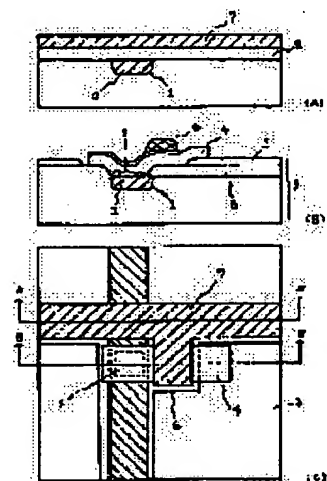
(72)Inventor : YAMAZAKI SHUNPEI  
MASE AKIRA

## (54) SEMICONDUCTOR DEVICE

### (57)Abstract:

**PURPOSE:** To improve the image quality of a liquid crystal display device by providing electric wirings and electrodes in at least the parts deeper than the front surface of an insulating substrate.

**CONSTITUTION:** A resist film having prescribed patterns is formed on soda lime glass and is etched way to form recessed parts 1. The film of Al is formed on the substrate held deposited with the resist film and the electrodes 2 are patterned and formed in the recessed parts. An SiO<sub>2</sub> film is then formed to form apertures 5 to be used for connection of the semiconductor device and further, the film of ITO is formed and is etched away to form picture element electrodes 3. An amorphous Si film and an SiN film are thereafter formed and channel parts 4 are formed. Gates 6 and leads 7 are formed by forming the film of Mo. Since the source wirings are embedded in such a manner, the gate electrodes provided above these wirings are formed in the state of having fewer rugged steps and, therefore, the problems in process are decreased and the liquid crystal device having less unequal colors is obtd.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

⑨ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平4-90514

⑤ Int. Cl.<sup>5</sup> 識別記号 庁内整理番号 ④ 公開 平成4年(1992)3月24日  
G 02 F 1/136 5 0 0 9018-2K  
H 01 L 21/3205  
21/90 W 6810-4M  
27/12 A 7514-4M  
29/784 9056-4M H 01 L 29/78 3 1 1 A  
6810-4M 21/88 J  
審査請求 未請求 請求項の数 4 (全6頁)

⑥ 発明の名称 半導体装置

⑭ 特 願 平2-205392

⑮ 出 願 平2(1990)8月2日

⑦ 発 明 者 山 崎 舜 平 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

⑧ 発 明 者 間 瀬 晃 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

⑩ 出 願 人 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

1. 平坦な表面を有する絶縁性基板中に少なくとも一部が埋置された導電性を有する材料からなる電気配線を有することを特徴とする半導体装置。
2. 特許請求の範囲第1項において、前記絶縁性基板は電気配線形成後もほぼ平坦な表面を有することを特徴とする半導体装置。
3. 平坦な表面を有する絶縁性基板中に少なくとも一部が埋置された導電性を有する材料からなる電気配線には電気絶縁材料が形成されていることを特徴とする半導体装置。
4. 平坦な表面を有する絶縁性基板中に少なくとも一部が埋置された導電性を有する材料からなる電気配線には前記基板からのアルカリ金属元素の溶出を防止する機能を持つ電気絶縁材料が前記基板のほぼ前面に形成されてい

ることを特徴とする半導体装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は絶縁基板上に薄膜プロセスによって作られる絶縁ゲート型電界効果トランジスタの構造に関する。

特に基板上にマトリクス状態にトランジスタを配置させるアクティブマトリクス型液晶ディスプレイの改善に大きく貢献するものである。

(従来技術)

近年、液晶ディスプレイは、薄型化、軽量化の要求から一部分の製品については、CRTに取って代わっている。その中でも、大型平面TV、パソコン用カラー画面においては、液晶ディスプレイのなかでも、アクティブマトリクスと呼ばれる薄膜トランジスタ(以下「TFT」と称する)を使用した液晶ディスプレイが多く利用されている。それら液晶ディスプレイのアクティブマトリクス素子は、ガラス基板上にスパッタ法、蒸着法、CVD法等の真空薄膜技術を用いて配線、電極、

絶縁層等を積み重ねることによって素子を形成している従来の薄膜プロセスにあるような、平坦な基板上に積み重ねることによって素子を形成したアクティブマトリクス素子の構造図の一例を第5図に示す。

これは逆スタagger型と呼ばれる絶縁ゲート型電界効果トランジスタである。基板(40)上にゲート電極(37)が設けられ、その上方に絶縁層(38)、半導体層(36)、電極(34)、(39)が設けられた構造となっている。

このような構造のTFTを基板上にマトリクス状態で配設した場合、第6図に示すように必ずゲート電極(37)に繋がるゲート配線(35)とソース電極(34)に繋がるソース配線(41)が基板上で立体交差することになる。

この立体交差部分は電気的に接続されては、いけないので通常は絶縁膜を間に形成して行うのが一般的であるが、この絶縁膜の構造、材質によってはゲート配線(35)とソース配線(41)に加える表示信号が立体交差部分に形成される容量成分を通して互いにリークする。その為、中間の絶縁膜を

厚くして容量成分を減らす必要が生じる。

しかしながら、絶縁膜の厚みが増せば、立体交差部の段差が大きくなり、立体交差部の上側の配線(第6図の場合はソース配線(41))はステップカバーレッジが悪いと断線する危険性が大きくなる。またこのような基板を使用して、TFT素子を持つ液晶ディスプレイの内部にこの立体交差部が存在すると立体交差部分と表示電極(39)とに段差が生じ、上下基板間隔の違う部分が存在する。すなわち、表示部分に比べ立体交差部分の基板間隔は狭くなる。この基板間隔の違いはディスプレイの色むらとして、現れる。この様な理由から立体交差部分の薄型化が必要とされていた。

〔発明の構成〕

平坦な表面を有する絶縁性基板の少なくとも表面より深い部分に導電性を示す材料からなる電気配線や半導体装置の電極(ゲート、ソースまたはドレイン)を少なくともその一部を基板中に埋置して設けることを本発明では特徴としている。

平坦な表面を有する絶縁性基板の一部を凹部

加工し、凹部の中に導電性を示す材料による電気配線、または半導体用の電極を設ける。

その後、絶縁性を示す材料で基板表面の必要部分を覆うことにより、基板表面より深い部分に、導電部分を得るものであります。

平坦な表面を有する絶縁性基板の少なくとも表面より深い部分に導電性を示す材料からなる電気配線や半導体装置の電極(ゲート、ソース、ドレイン)を設けることで、立体交差部分を必要とするアクティブマトリクスタイプの液晶表示装置の交差部分での電荷容量の低減、素子部分の凹凸によるセル厚みの不良低減をすることが出来る。

以下に実施例によって、さらに詳細な説明を加える。

〔実施例1〕

第1図に本実施例によるアクティブマトリクス液晶装置の半導体素子部分の平面図(C)、および素子部の断面図(B)、立体交差部分の断面図(A)を示す。

ソーダライム硝子にフォトリソグラフィ法を用

いて所定のパターンを持つレジスト膜を形成し弗酸をもちいてエッチング除去し凹部分(1)を作成した。凹部の寸法は、幅30ミクロン深さ2ミクロンとした。

その後、レジスト膜がついた状態のまま直流スパッタ法を用いて、上記基板上にAlを成膜しリフトオフ法によるパターニングで電極(2)をパターニングして凹部に形成した。

その後、交流スパッタ法にてSiO<sub>2</sub>膜(8)を2ミクロンの厚みに成膜し、フォトリソグラフィ法を用いて、半導体装置の接続用に用いる開口部分(5)を作成した。

この絶縁膜(8)は基板全面に形成してもよいし、必要な部分のみ形成してもよい。特に全面に形成した場合、この酸化珪素膜はソーダライム硝子基板からのアルカリ金属の溶出を防止する機能を持ち、TFTの長期信頼性の向上に役立った。

また、この絶縁膜(8)として、絶縁性の有機材料例えばポリイミド樹脂を使用することも可能である。この場合有機材料はレベリング性にすぐ

ているので、埋置された電気配線を形成した後基板表面はほぼ平坦な表面を得ることができる。

その後、直流スパッタ法を用いてITOを成膜してフォトリソグラフィ法を用いてエッチング除去し画素電極(3)を形成した。

その後、プラズマCVD法を用いて、アモルファスSi膜とSiN膜を形成し、フォトリソグラフィ法を用いてチャネル部分(4)を形成した。この時の成膜条件は、

圧力	0.02 Torr
SiH <sub>4</sub> 流量	2.0 SCCM
投入電力	5 W

とした。また、それぞれの膜厚は3000Åと700Åとした。

その後、スパッタ法を用いてMoを成膜し、フォトリソグラフィ法を用いてゲート(6)およびリード(7)を形成した。

その後、オフセット法を用いて、配向膜(16

1mm角当たり、300個の密度で散布を行なった。

その後、第二の基板の周囲にスクリーン法を用いて、エポキシ系接着剤を印刷して、シール材(14)を形成した。

その後、第一の基板と第二の基板の配向膜側が相向かい合う様に、重ね合わせて上下方向より、内側にむかって、1平方センチメートル当たり、2キログラムの圧力でプレスを行なった。その際接着剤硬化のために、160℃の熱を同時に与え、60分保持した。

その後、真空法を用いてネマチック液晶(13)を液晶セル内に注入し、注入口を紫外線硬化樹脂で封止し液晶装置を得た。

このように、ソース配線が基板中に埋置された半導体装置を持つ液晶装置を完成させた。ソース配線が埋置された為、その上方に設けられるゲート電極を凹凸段差の少ない状態で形成できるので、ステップカバレッジ等プロセス上の問題点が少なくなり、かつ色むらの少ない液晶装置を実現

を印刷形成した。配向膜の材質は、ポリイミドを選択した。

その後、公知のラビング法を用いて、一定方向の微細な傷を作り、配向膜を完成した。

上記の工程によって得られた基板を第一の基板(9)とする。

第2図に本実施例による液晶装置の断面図を示す。

他方の基板として、ソーダライム硝子上に、直流スパッタ法を用いてITOを成膜してフォトリソグラフィ法を用いて共通電極(11)を形成した。

その後、オフセット法を用いて、配向膜(15)を印刷形成した。配向膜の材質は、ポリイミドを選択した。

その後、ラビング処理した。

上記の工程によって得られた基板を第二の基板(10)とする。

その後、第一の基板上に、7.5ミクロンの直径を有するスペーサー(マイクロボール)(12)を

することができた。

#### 【実施例2】

第3図に本実施例によるアクティブマトリクス液晶装置の半導体素子部分の平面図(C)、および素子部の断面図(B)、立体交差部分の断面図(A)を示す。

ソーダライム硝子にフォトリソグラフィ法を用いてレジスト膜を形成し弗酸をもちいて凹部分(1)を作成した。凹部の寸法は、幅10ミクロン深さ2ミクロンとした。

その後、レジスト膜がついた状態のまま直流スパッタ法を用いて、Alを成膜し、リフトオフ法によるバターンニングで電極(17)をバターンニングした。

その後、ポリイミド樹脂をスピナーで2ミクロンの厚さで成膜し、仮焼成の後フォトリソグラフィ法を用いて、開口部分(19)を作成し、ポストバークを行い配線上の絶縁膜(18)を形成した。

その後、光CVD法を用いて、ゲート絶縁膜と

なる $\text{SiNx}(20)$ を $1000\text{\AA}$ 成膜させた。

その後、直流スパッタ法を用いてITOを成膜してフォトリソグラフィ法を用いて画素電極(21)を形成した。

その後、直流スパッタ法を用いてMoを成膜してフォトリソグラフィ法を用いてソース電極(22)およびリード(23)を形成した。

その後、プラズマCVD法を用いて、アモルファスSi膜を形成し、フォトリソグラフィ法を用いてチャネル部分(24)を形成した。この時の成膜条件は、

圧力	0.02 Torr
$\text{SiH}_4$ 流量	20 SCCM
投入電力	5 W

とした。また、膜厚は $3000\text{\AA}$ とした。

その後、オフセット法を用いて、配向膜(25)を印刷形成した。配向膜の材質は、ポリイミドを選択した。

2キログラムの圧力でプレスを行なった。その際接着剤硬化のために、 $160^\circ\text{C}$ の熱を同時に与え、6.0分保持した。

その後、真空法を用いて強誘電性を示す液晶材料(33)を液晶セル内に注入し、注入口を紫外線硬化樹脂で封止し液晶装置を得た。

上記実施例はいずれも逆スタガード方のTFT装置に対して本発明を適用しが特にこの形式の装置に限定されることはなく、その太の半導体装置にも幅広く適用可能である。

また、基板中に埋置する配線もソース配線またはゲート配線の何れか一方のみではなくその両方を埋置して、立体交差部分を基板内に納めより凹凸段差のない平坦な基板を実現することも可能である。さらに電気配線の全てを基板中に埋置するのではなく、立体交差部分の配線のみを埋置することも本発明の応用例に含まれる。

(効果)

本発明にあるように、基板内に配線または電極を埋め込む形にしたため、従来すべての立体交差

その後、ラビング処理を施した。

上記の工程によって得られた基板を第一の基板(26)とする。

第4図に本実施例による液晶装置の断面図を示す。

ソーダライム硝子(27)上に、直流スパッタ法を用いてITOを成膜してフォトリソグラフィ法を用いて共通電極(28)を形成した。

上記の工程によって得られた基板を第二の基板(30)とする。

その後、第一の基板上に、7.5ミクロンの直径を有するスペーサー(マイクロバル)(31)を1mm角当たり、300個の密度で散布を行なった。

その後、第二の基板の周囲にスクリーン法を用いて、エポキシ系接着剤を印刷して、シール材(32)を形成した。

その後、第一の基板と第二の基板の配向膜側が相向かい合う様に、重ね合わせて上下方向より、内側にむかって、1平方センチメートル当たり、

を基板上で行なっていたときに比べ、交差部分の段差を少なくすることができ、さらに立体交差の上側の配線のステップカバレージの悪さからくる断線不良を約20%削減できた。

また基板内に配線または電極を埋め込む形にしたため、基板表面からの突起高さが、従来例では $3\mu\text{m}$ あったものを本発明により $2\mu\text{m}$ 以下にすることができ、液晶装置に起用した場合セル厚みの不均一からくる色むら不良の発生率を約30%削減できた。

#### 4. 図面の簡単な説明

第1図及び第3図に本発明による半導体装置の実施例を示す。

第2図及び第4図に本発明による液晶装置の実施例を示す。

第5図に従来のTFTの断面図を示す。

第6図に従来のアクティブマトリクス型液晶装置で起こりうる立体交差の配線の様子を示す。

2, 23. . . . . ソース配線

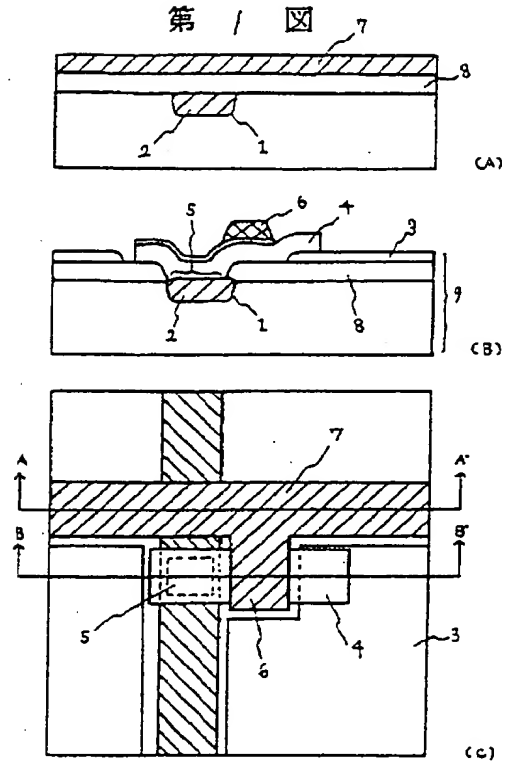
7, 17. . . . . ゲート配線

- 3, 21 . . . . . 表示用電極  
 11, 28 . . . . . 共通電極  
 5, 19 . . . . . 開口部分

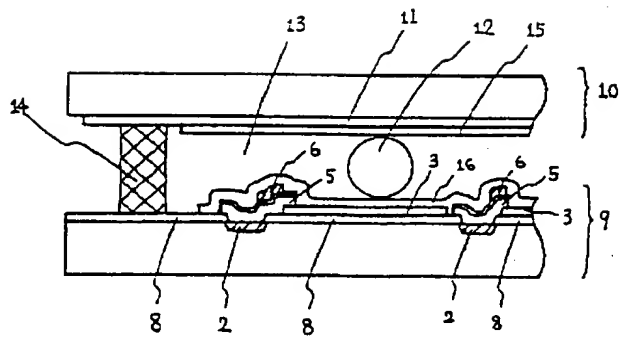
特許出願人

株式会社半導体エネルギー研究所  
 代表者 山崎舜平

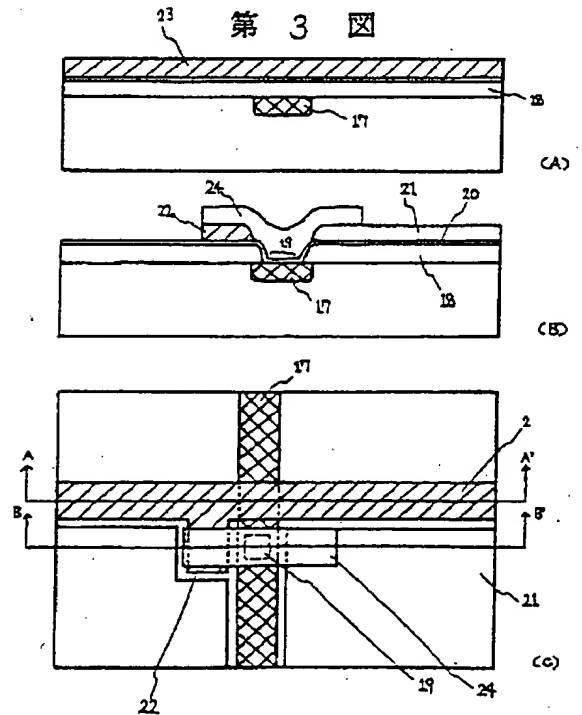
第 1 図



第 2 図

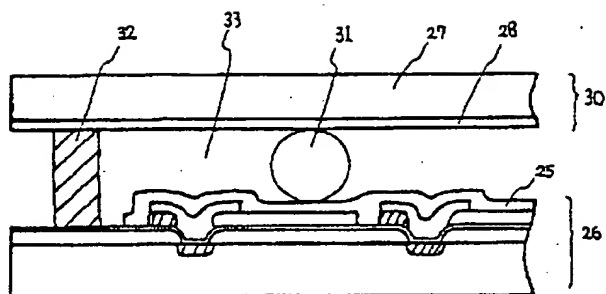


第 3 図

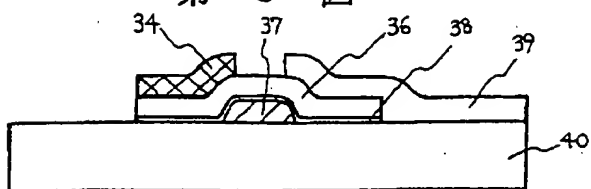




第 4 図



第 5 図



第 6 図

